

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-134745

(43)Date of publication of application : 10.05.2002

(51)Int.Cl. H01L 29/78
 H01L 21/265
 H01L 21/28
 H01L 21/8238
 H01L 27/092
 H01L 27/10
 H01L 29/43

(21)Application number : 2000-326143

(71)Applicant : SONY CORP
FUJITSU LTD

(22)Date of filing : 25.10.2000

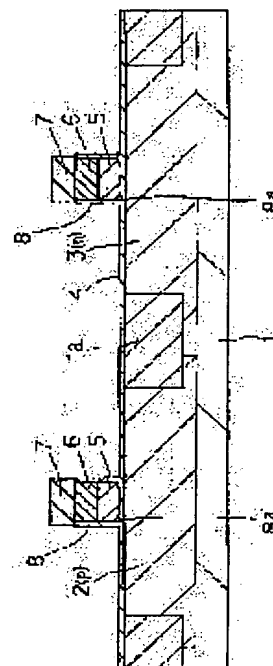
(72)Inventor : TATESHIMO YASUSHI
TSUKAMOTO MASANORI
NAKAMURA MANABU
SAKUMA JUN

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain abnormal oxidation in a high melting-point metal silicide film forming a gate electrode, and to prevent impurities in polycrystalline silicon for composing the gate electrode from diffusing to the outside through the high melting-point metal silicide film when carrying out screen oxidation, after the gate electrode in polycide structure has been formed.

SOLUTION: In a semiconductor device, such as a logic LSI, where a DRAM is mounted mixedly, when a dual-gate CMOS transistor is to be formed, RTA is carried out at a temperature of 650 to 750° C in a nitride atmosphere, before the screen oxidation is made for forming an oxide film on a sidewall, after the gate electrode has been formed. Also, when the screen oxidation is to be carried out, nitrogen is supplied to an oxidation oven at a flow rate of 20 to 30 L/min. Or lower, from the time when a substrate is put into the oxidation oven to the time, when temperature rises to the oxidation temperature.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-134745
(P2002-134745A)

(43) 公開日 平成14年5月10日 (2002.5.10)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)	
H 0 1 L 29/78		H 0 1 L 21/265	6 0 2 B	4 M 1 0 4
21/265	6 0 2		6 0 4 G	5 F 0 4 0
	6 0 4	21/28	3 0 1 D	5 F 0 4 8
21/28	3 0 1	27/10	4 6 1	5 F 0 8 3
21/8238		29/78	3 0 1 G	
審査請求 未請求 請求項の数46 O L (全 15 頁) 最終頁に続く				

(21) 出願番号 特願2000-326143(P2000-326143)

(22) 出願日 平成12年10月25日 (2000. 10. 25)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(72) 発明者 館下 八州志

東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

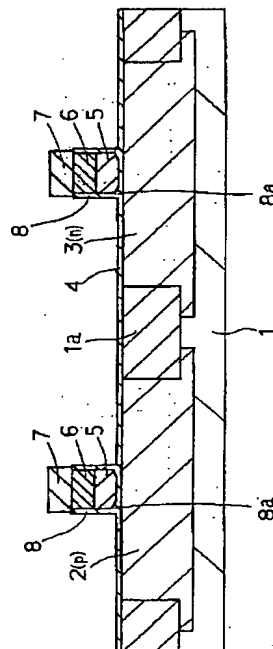
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ポリサイド構造のゲート電極を形成した後にスクリーン酸化を行うときに、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を抑制し、また、ゲート電極を構成する多結晶シリコン中の不純物が高融点金属シリサイド膜を通して外部に拡散するのを防止する。

【解決手段】 DRAM混載論理LSIなどの半導体装置において、デュアルゲートCMOSトランジスタを形成する場合に、ゲート電極を形成した後にスクリーン酸化を行って側壁に酸化膜を形成する前に、窒素雰囲気中において650～750℃の温度でRTAを行う。また、スクリーン酸化を行う場合に、酸化炉への基板の入炉時から酸化温度への昇温時に酸化炉に窒素を20～30L/分以下の流量で供給する。



【特許請求の範囲】

【請求項 1】 n 型または p 型の多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造のゲート電極を有する M I S トランジスタを有する半導体装置の製造方法において、

上記ゲート電極を形成する工程と、

上記ゲート電極を形成した後、窒素雰囲気中においてラビッドサーマルアニーリングを行うことにより上記ゲート電極の少なくとも側面を窒化する工程と、

上記ラビッドサーマルアニーリングを行った後、上記ゲート電極の側面および上記ゲート電極と基板との界面の酸化を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 650℃以上750℃以下の温度で上記ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 上記酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に上記酸化炉に窒素を 20 リットル/分以上 30 リットル/分以下の流量で供給するようにしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 上記酸化温度を 750℃以上 800℃以下、上記酸化膜厚を 2 nm 以上 5 nm 以下、温度安定のための安定化ステップをほぼ 0 分とするようにしたことを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】 上記酸化を行った後、ソース領域およびドレイン領域を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において 925℃以上 975℃以下の温度で 5 秒以上 15 秒以下の時間ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 6】 上記ソース領域およびドレイン領域を高不純物濃度部と低不純物濃度部とにより形成する場合において、上記低不純物濃度部を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において 925℃以上 975℃以下の温度で 5 秒以上 15 秒以下の時間ラビッドサーマルアニーリングを行い、次いで、上記高不純物濃度部を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において 925℃以上 975℃以下の温度で 5 秒以上 15 秒以下の時間ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 上記高融点金属シリサイド膜はタングステンシリサイド膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 8】 n 型多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造の第 1 のゲート電極を有する n チャネル M I S トランジスタと、 p 型多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造の第 2 のゲート電極を有する p チャネル M I S トランジスタ

とを有し、上記第 1 のゲート電極と上記第 2 のゲート電極とが互いに接続されている半導体装置の製造方法において、

上記第 1 のゲート電極および上記第 2 のゲート電極を形成する工程と、

上記第 1 のゲート電極および上記第 2 のゲート電極を形成した後、窒素雰囲気中においてラビッドサーマルアニーリングを行うことにより上記第 1 のゲート電極および上記第 2 のゲート電極の少なくとも側面を窒化する工程と、

上記ラビッドサーマルアニーリングを行った後、上記第 1 のゲート電極および上記第 2 のゲート電極の側面ならびに上記ゲート電極と基板との界面の酸化を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項 9】 650℃以上750℃以下の温度で上記ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】 上記酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に上記酸化炉に窒素を 20 リットル/分以上 30 リットル/分以下の流量で供給するようにしたことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 11】 上記酸化温度を 750℃以上 800℃以下、上記酸化膜厚を 2 nm 以上 5 nm 以下、温度安定のための安定化ステップをほぼ 0 分とするようにしたことを特徴とする請求項 10 記載の半導体装置の製造方法。

【請求項 12】 上記酸化を行った後、ソース領域およびドレイン領域を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において 925℃以上 975℃以下の温度で 5 秒以上 15 秒以下の時間ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 13】 上記ソース領域およびドレイン領域を高不純物濃度部と低不純物濃度部とにより形成する場合において、上記低不純物濃度部を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において 925℃以上 975℃以下の温度で 5 秒以上 15 秒以下の時間ラビッドサーマルアニーリングを行い、次いで、上記高不純物濃度部を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において 925℃以上 975℃以下の温度で 5 秒以上 15 秒以下の時間ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項 12 記載の半導体装置の製造方法。

【請求項 14】 上記 p チャネル M I S トランジスタのソース領域およびドレイン領域を形成するためのイオン注入を、イオン種としてホウ素を用い、エネルギー 6 keV 以上 8 keV 以下、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 以上 $3 \times 10^{15} \text{ cm}^{-2}$ の条件に設定して行うようにしたことを特徴とする請求項 12 記載の半導体装置の製造方法。

【請求項15】 上記高融点金属シリサイド膜はタンゲステンシリサイド膜であることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項16】 n型またはp型の多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造のゲート電極を有するMISトランジスタを有する半導体装置の製造方法において、

上記ゲート電極を形成する工程と、

上記ゲート電極を形成した後、上記ゲート電極の側面および上記ゲート電極と基板との界面の酸化を行う工程とを有し、

上記酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に上記酸化炉に窒素を20リットル/分以上30リットル/分以下の流量で供給するようにしたことを特徴とする半導体装置の製造方法。

【請求項17】 上記ゲート電極を形成した後、上記酸化を行う前に、窒素雰囲気中においてラビッドサーマルアニーリングを行うことにより上記ゲート電極の少なくとも側面を窒化するようにしたことを特徴とする請求項16記載の半導体装置の製造方法。

【請求項18】 650℃以上750℃以下の温度で上記ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項17記載の半導体装置の製造方法。

【請求項19】 上記酸化温度を750℃以上800℃以下、上記酸化膜厚を2nm以上5nm以下、温度安定のための安定化ステップをほぼ0分とするようにしたことを特徴とする請求項16記載の半導体装置の製造方法。

【請求項20】 上記酸化を行った後、ソース領域およびドレイン領域を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項16記載の半導体装置の製造方法。

【請求項21】 上記ソース領域およびドレイン領域を高不純物濃度部と低不純物濃度部とにより形成する場合において、上記低不純物濃度部を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行い、次いで、上記高不純物濃度部を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項20記載の半導体装置の製造方法。

【請求項22】 上記pチャネルMISトランジスタのソース領域およびドレイン領域を形成するためのイオン注入を、イオン種としてホウ素を用い、エネルギー6keV以上8keV以下、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 以上 $3 \times 10^{13} \text{ cm}^{-2}$ の条件に設定して行うようにしたことを

を特徴とする請求項20記載の半導体装置の製造方法。

【請求項23】 上記高融点金属シリサイド膜はタンゲステンシリサイド膜であることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項24】 n型多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造の第1のゲート電極を有するnチャネルMISトランジスタと、p型多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造の第2のゲート電極を有するpチャネルMISトランジスタとを有し、上記第1のゲート電極と上記第2のゲート電極とが互いに接続されている半導体装置の製造方法において、

上記第1のゲート電極および上記第2のゲート電極を形成する工程と、

上記第1のゲート電極および上記第2のゲート電極を形成した後、上記第1のゲート電極および上記第2のゲート電極の側面ならびに上記第1のゲート電極および上記第2のゲート電極と基板との界面の酸化を行う工程とを有し、

上記酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に上記酸化炉に窒素を20リットル/分以上30リットル/分以下の流量で供給するようにしたことを特徴とする半導体装置の製造方法。

【請求項25】 上記第1のゲート電極および上記第2のゲート電極を形成した後、上記酸化を行う前に、窒素雰囲気中においてラビッドサーマルアニーリングを行うことにより上記第1のゲート電極および上記第2のゲート電極の少なくとも側面を窒化するようにしたことを特徴とする請求項24記載の半導体装置の製造方法。

【請求項26】 650℃以上750℃以下の温度で上記ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項25記載の半導体装置の製造方法。

【請求項27】 上記酸化温度を750℃以上800℃以下、上記酸化膜厚を2nm以上5nm以下、温度安定のためのスタビライズステップをほぼ0分とするようにしたことを特徴とする請求項24記載の半導体装置の製造方法。

【請求項28】 上記酸化を行った後、ソース領域およびドレイン領域を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項24記載の半導体装置の製造方法。

【請求項29】 上記ソース領域およびドレイン領域を高不純物濃度部と低不純物濃度部とにより形成する場合において、上記低不純物濃度部を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行い、次いで、上記高不純物濃度部を形成するためのイオン注入を行い、そ

の後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項28記載の半導体装置の製造方法。

【請求項30】 上記pチャネルMISトランジスタのソース領域およびドレイン領域を形成するためのイオン注入を、イオン種としてホウ素を用い、エネルギー6keV以上8keV以下、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 以上 $3 \times 10^{15} \text{ cm}^{-2}$ の条件に設定して行うようにしたことを特徴とする請求項28記載の半導体装置の製造方法。

【請求項31】 上記高融点金属シリサイド膜はタングステンシリサイド膜であることを特徴とする請求項24記載の半導体装置の製造方法。

【請求項32】 n型またはp型の多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造のゲート電極を有するMISトランジスタを有する半導体装置の製造方法において、

上記ゲート電極を形成する工程と、

上記ゲート電極を形成した後、上記ゲート電極の側面および上記ゲート電極と基板との界面の酸化を行う工程と、

上記酸化を行った後、ソース領域およびドレイン領域を形成するためのイオン注入を行う工程と、

上記イオン注入を行った後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項33】 上記ソース領域およびドレイン領域を高不純物濃度部と低不純物濃度部とにより形成する場合において、上記低不純物濃度部を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行い、次いで、上記高不純物濃度部を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項32記載の半導体装置の製造方法。

【請求項34】 上記ゲート電極を形成した後、上記酸化を行う前に、窒素雰囲気中においてラビッドサーマルアニーリングを行うことにより上記ゲート電極の少なくとも側面を窒化するようにしたことを特徴とする請求項32記載の半導体装置の製造方法。

【請求項35】 650℃以上750℃以下の温度で上記窒素雰囲気中における上記ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項32記載の半導体装置の製造方法。

【請求項36】 上記酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に上記酸化炉に窒素を20リットル/分以上30リットル/分以下の

流量で供給するようにしたことを特徴とする請求項32記載の半導体装置の製造方法。

【請求項37】 上記酸化温度を750℃以上800℃以下、上記酸化膜厚を2nm以上5nm以下、温度安定のための安定化ステップをほぼ0分とするようにしたことを特徴とする請求項36記載の半導体装置の製造方法。

【請求項38】 上記高融点金属シリサイド膜はタングステンシリサイド膜であることを特徴とする請求項32記載の半導体装置の製造方法。

【請求項39】 n型多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造の第1のゲート電極を有するnチャネルMISトランジスタと、p型多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造の第2のゲート電極を有するpチャネルMISトランジスタとを有し、上記第1のゲート電極と上記第2のゲート電極とが互いに接続されている半導体装置の製造方法において、

上記第1のゲート電極および上記第2のゲート電極を形成する工程と、

上記第1のゲート電極および上記第2のゲート電極を形成した後、上記第1のゲート電極および上記第2のゲート電極の側面ならびに上記第1のゲート電極および上記第2のゲート電極と基板との界面の酸化を行う工程と、

上記酸化を行った後、ソース領域およびドレイン領域を形成するためのイオン注入を行う工程と、

上記イオン注入を行った後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項40】 上記ソース領域およびドレイン領域を高不純物濃度部と低不純物濃度部とにより形成する場合において、上記低不純物濃度部を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行い、次いで、上記高不純物濃度部を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項39記載の半導体装置の製造方法。

【請求項41】 上記第1のゲート電極および上記第2のゲート電極を形成した後、上記酸化を行う前に、窒素雰囲気中においてラビッドサーマルアニーリングを行うことにより上記第1のゲート電極および上記第2のゲート電極の少なくとも側面を窒化するようにしたことを特徴とする請求項39記載の半導体装置の製造方法。

【請求項42】 650℃以上750℃以下の温度で上記窒素雰囲気中における上記ラビッドサーマルアニーリングを行うようにしたことを特徴とする請求項39記載

の半導体装置の製造方法。

【請求項43】 上記酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に上記酸化炉に窒素を20リットル/分以上30リットル/分以下の流量で供給するようにしたことを特徴とする請求項39記載の半導体装置の製造方法。

【請求項44】 上記酸化温度を750℃以上800℃以下、上記酸化膜厚を2nm以上5nm以下、温度安定のための安定化ステップをほぼ0分とするようにしたことを特徴とする請求項39記載の半導体装置の製造方法。

【請求項45】 上記pチャネルMISトランジスタのソース領域およびドレイン領域を形成するためのイオン注入を、イオン種としてホウ素を用い、エネルギー6keV以上8keV以下、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 以上 $3 \times 10^{15} \text{ cm}^{-2}$ の条件に設定して行うようにしたことを特徴とする請求項39記載の半導体装置の製造方法。

【請求項46】 上記高融点金属シリサイド膜はタングステンシリサイド膜であることを特徴とする請求項39記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関し、特に、ポリサイド構造のゲート電極を有するMISトランジスタを有する半導体装置、例えば、DRAM混載論理LSIの製造に適用して好適なものである。

【0002】

【従来の技術】DRAMの製造プロセスにおいて、データの保持特性（リテンション特性）を確保するためには、ソース領域およびドレイン領域を形成する拡散層の接合リークを抑制することが重要である。近年、半導体プロセスのスケールが進むにつれて、この接合リークは、電界の増加と、基板不純物濃度の高濃度化とにより大きくなる傾向にあり、接合リークの抑制の必要性はますます強くなっている。この接合リークの抑制には、ゲート電極形成後に、ゲート電極の側面およびSi基板が剥き出しの状態、酸化（以下「スクリーン酸化」と呼ぶこともある）を行うことが有効である。ゲート電極がポリサイド構造である場合、このスクリーン酸化によりゲート電極の下層の多結晶Si膜とSi基板との間で酸化が進み、いわゆるバースピークと呼ばれる酸化の入り込みが生じ、これがゲート電極の端の拡散層に加わる電界を緩和し、接合リークが抑制される効果が得られる。

【0003】

【発明が解決しようとする課題】しかしながら、上述の従来の技術においては、タングステンシリサイド（WSi_x）/多結晶Siからなるポリサイド構造のゲート電極に上記のようなスクリーン酸化を行うと、WSi_xの

異常酸化が発生してしまうという問題があった。このWSi_xの異常酸化とは、酸素との反応により生成されたタングステン酸化物がゲート電極の横方向あるいは縦方向に成長する現象で、隣のゲート電極やコンタクトなどとショートを引き起こす問題である。

【0004】このような理由により、WSi_x/多結晶Siからなるポリサイド構造のゲート電極を有するデバイスの製造プロセスにおいては、WSi_xの異常酸化が発生しないスクリーン酸化プロセスが求められていた。

【0005】一方、論理回路に用いられるMOSトランジスタは、スイッチング特性、オフリークの点で有利な表面チャネル型のトランジスタが用いられるようになってきた。表面チャネル型のトランジスタを形成するためには、ゲート電極に多結晶Siを用いる場合、仕事関数差から、nチャネルMOSトランジスタにはn⁺型多結晶Siを、pチャネルMOSトランジスタにはp⁺型多結晶Siを用いる必要がある。このようにnチャネルMOSトランジスタとpチャネルMOSトランジスタとに異種のゲート電極を用いるトランジスタをデュアルゲートトランジスタと呼ぶ。このデュアルゲートトランジスタの形成方法としては、nチャネルMOSトランジスタのゲート電極のn⁺型多結晶Siはn型不純物としてリン（P）やヒ素（As）を、pチャネルMOSトランジスタのゲート電極のp⁺型多結晶Siはp型不純物としてホウ素（B）をイオン注入し、熱処理により活性化させる方法が一般的である。ところが、この場合、pチャネルMOSトランジスタにおいては、ゲート電極のp⁺型多結晶Si中のホウ素は、熱拡散によって容易に拡散する。このため、pチャネルMOSトランジスタのゲート電極とnチャネルMOSトランジスタのゲート電極とがつながっている回路では、pチャネルMOSトランジスタのゲート電極のp⁺型多結晶Si中のp型不純物とnチャネルMOSトランジスタのゲート電極のn⁺型多結晶Si中のn型不純物とが相互に拡散して移動してしまい、トランジスタ特性が変動してしまうという問題がある。従来のスクリーン酸化による熱処理は、この相互拡散を引き起こしてしまうには十分な温度である。スクリーン酸化を行うためには、この相互拡散の抑制が必要とされていた。

【0006】また、近年、DRAM混載論理LSIが実用化されているが、このDRAM混載論理LSIの製造プロセスにおいては、DRAMのメモリセルのワード線の抵抗を低くし、さらにメモリセル中のコンタクトにセルフアラインコンタクトを用いるため、ゲート電極上部に多結晶Si膜を形成し、これをサリサイド化するフルサリサイド構造を使用することができないため、WSi_xなどのシリサイド膜とオフセット絶縁膜との積層構造を用いる必要がある。このように、DRAM混載論理LSIの製造プロセスにおいては、DRAMのリテンション特性で必要とされるスクリーン酸化工程を導入した場

合に、ゲート電極に用いる WSi_x の異常酸化を抑制し、かつ、論理回路部のデュアルゲートトランジスタに特性変動を生じないプロセスが求められていた。

【0007】したがって、この発明が解決しようとする課題は、ポリサイド構造を有するゲート電極を形成した後にスクリーン酸化を行うときに、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を抑制することができる半導体装置の製造方法を提供することにある。

【0008】この発明が解決しようとする他の課題は、それぞれポリサイド構造を有するゲート電極を有するnチャネルMISトランジスタとpチャネルMISトランジスタとにより構成されるデュアルゲート相補型MISトランジスタを形成する場合に、ポリサイド構造を有するゲート電極を形成した後にスクリーン酸化を行うときに、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を抑制することができる半導体装置の製造方法を提供することにある。

【0009】この発明が解決しようとするさらに他の課題は、それぞれポリサイド構造を有するゲート電極を有するnチャネルMISトランジスタとpチャネルMISトランジスタとにより構成されるデュアルゲート相補型MISトランジスタを形成する場合に、nチャネルMISトランジスタのゲート電極を形成するn型多結晶シリコン膜中のn型不純物とpチャネルMISトランジスタのゲート電極を形成するp型多結晶シリコン膜中のp型不純物との相互拡散を抑制してデュアルゲート相補型MISトランジスタの特性変動を抑制することができる半導体装置の製造方法を提供することにある。

【0010】この発明が解決しようとするさらに他の課題は、それぞれポリサイド構造を有するゲート電極を有するnチャネルMISトランジスタとpチャネルMISトランジスタとにより構成されるデュアルゲート相補型MISトランジスタを形成する場合に、ソース領域およびドレイン領域を形成するためのイオン注入を行った後に、注入不純物の初期増速拡散を抑制してトランジスタの特性の変動を抑制することができる半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するために、この発明の第1の発明は、n型またはp型の多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造のゲート電極を有するMISトランジスタを有する半導体装置の製造方法において、ゲート電極を形成する工程と、ゲート電極を形成した後、窒素雰囲気中においてラビッドサーマルアニーリングを行うことによりゲート電極の少なくとも側面を窒化する工程と、ラビッドサーマルアニーリングを行った後、ゲート電極の側面およびゲート電極と基板との界面の酸化を行う工程とを有することを特徴とするものである。

【0012】この発明の第1の発明においては、ゲート

電極の酸化の際に、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を効果的に抑制する観点から、好適には、650℃以上750℃以下の温度でラビッドサーマルアニーリングを行う。また、この異常酸化をより有効に抑制するためには、好適には、酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に酸化炉に窒素を20リットル/分以上30リットル/分以下の流量で供給する。さらに、ゲート電極の酸化の際に、ゲート電極を形成する多結晶シリコン膜から不純物が高融点金属シリサイド膜を拡散して外部に析出するのを防止する観点から、好適には、酸化温度を750℃以上800℃以下、酸化膜厚を2nm以上5nm以下、温度安定のための安定化ステップをほぼ0分とする。また、ゲート電極を形成する多結晶シリコン膜から不純物が高融点金属シリサイド膜を拡散して外部に析出するのを防止するとともに、注入不純物の初期増速拡散によるトランジスタ特性の変動を抑制する観点から、好適には、ゲート電極の酸化を行った後、ソース領域およびドレイン領域を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行う。

【0013】この発明の第2の発明は、n型多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造の第1のゲート電極を有するnチャネルMISトランジスタと、p型多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造の第2のゲート電極を有するpチャネルMISトランジスタとを有し、第1のゲート電極と第2のゲート電極とが互いに接続されている半導体装置の製造方法において、第1のゲート電極および第2のゲート電極を形成する工程と、第1のゲート電極および第2のゲート電極を形成した後、窒素雰囲気中においてラビッドサーマルアニーリングを行うことにより第1のゲート電極および第2のゲート電極の少なくとも側面を窒化する工程と、ラビッドサーマルアニーリングを行った後、第1のゲート電極および第2のゲート電極の側面ならびにゲート電極と基板との界面の酸化を行う工程とを有することを特徴とするものである。

【0014】この発明の第2の発明においては、ゲート電極の酸化の際に、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を効果的に抑制する観点から、好適には、650℃以上750℃以下の温度でラビッドサーマルアニーリングを行う。また、この異常酸化をより有効に抑制するためには、好適には、酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に酸化炉に窒素を20リットル/分以上30リットル/分以下の流量で供給する。さらに、ゲート電極の酸化の際に、nチャネルMISトランジスタのゲート電極を形成するn型多結晶シリコン膜中のn型不純物とpチャネルMISトランジスタのゲート電極を形成するp型多

結晶シリコン膜中のp型不純物とが相互拡散してトランジスタ特性に変動を与えるのを防止する観点から、好適には、酸化温度を750℃以上800℃以下、酸化膜厚を2nm以上5nm以下、温度安定のためのスタビライズステップをほぼ0分とする。また、nチャネルMISトランジスタのゲート電極を形成するn型多結晶シリコン膜中のn型不純物とpチャネルMISトランジスタのゲート電極を形成するp型多結晶シリコン膜中のp型不純物とが相互拡散してトランジスタ特性に変動を与えるのを防止するとともに、注入不純物の初期増速拡散によるトランジスタ特性の変動を抑制する観点から、好適には、ゲート電極の酸化を行った後、ソース領域およびドレイン領域を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行う。また、特に、pチャネルMISトランジスタにおいて、ソース領域およびドレイン領域の接合リークの増加を抑制する観点から、好適には、pチャネルMISトランジスタのソース領域およびドレイン領域を形成するためのイオン注入を、イオン種としてホウ素を用い、エネルギー6keV以上8keV以下、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 以上 $3 \times 10^{15} \text{ cm}^{-2}$ の条件に設定して行う。

【0015】この発明の第3の発明は、n型またはp型の多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造のゲート電極を有するMISトランジスタを有する半導体装置の製造方法において、ゲート電極を形成する工程と、ゲート電極を形成した後、ゲート電極の側面およびゲート電極と基板との界面の酸化を行う工程とを有し、酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に酸化炉に窒素を20リットル/分以上30リットル/分以下の流量で供給するようにしたことを特徴とするものである。

【0016】この発明の第3の発明において、ゲート電極の酸化の際に、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を防止する観点から、好適には、ゲート電極を形成した後、酸化を行う前に、窒素雰囲気中においてラビッドサーマルアニーリングを行うことによりゲート電極の少なくとも側面を窒化する。好適には、650℃以上750℃以下の温度でこのラビッドサーマルアニーリングを行う。また、ゲート電極の酸化の際に、ゲート電極を形成する多結晶シリコン膜から不純物が高融点金属シリサイド膜を拡散してこの高融点金属シリサイド膜が異常酸化されるのを防止する観点から、好適には、酸化温度を750℃以上800℃以下、酸化膜厚を2nm以上5nm以下、温度安定のための安定化ステップをほぼ0分とする。また、ゲート電極を形成する多結晶シリコン膜から不純物が高融点金属シリサイド膜を拡散してこの高融点金属シリサイド膜が異常酸化されるのを防止するとともに、初期増速拡散によるトランジ

スタと特性の変動を抑制する観点から、好適には、ゲート電極の酸化を行った後、ソース領域およびドレイン領域を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行う。

【0017】この発明の第4の発明は、n型多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造の第1のゲート電極を有するnチャネルMISトランジスタと、p型多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造の第2のゲート電極を有するpチャネルMISトランジスタとを有し、第1のゲート電極と第2のゲート電極とが互いに接続されている半導体装置の製造方法において、第1のゲート電極および第2のゲート電極を形成する工程と、第1のゲート電極および第2のゲート電極を形成した後、第1のゲート電極および第2のゲート電極の側面ならびに第1のゲート電極および第2のゲート電極と基板との界面の酸化を行う工程とを有し、酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に酸化炉に窒素を20リットル/分以上30リットル/分以下の流量で供給するようにしたことを特徴とするものである。

【0018】この発明の第4の発明において、ゲート電極の酸化の際に、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を防止する観点から、好適には、ゲート電極を形成した後、酸化を行う前に、窒素雰囲気中においてラビッドサーマルアニーリングを行うことによりゲート電極の少なくとも側面を窒化する。好適には、650℃以上750℃以下の温度でこのラビッドサーマルアニーリングを行う。また、ゲート電極の酸化の際に、nチャネルMISトランジスタのゲート電極を形成するn型多結晶シリコン膜中のn型不純物とpチャネルMISトランジスタのゲート電極を形成するp型多結晶シリコン膜中のp型不純物とが相互拡散してトランジスタ特性に変動を与えるのを防止するとともに、注入不純物の初期増速拡散によるトランジスタ特性の変動を抑制する観点から、好適には、酸化温度を750℃以上800℃以下、酸化膜厚を2nm以上5nm以下、温度安定のための安定化ステップをほぼ0分とする。また、nチャネルMISトランジスタのゲート電極を形成するn型多結晶シリコン膜中のn型不純物とpチャネルMISトランジスタのゲート電極を形成するp型多結晶シリコン膜中のp型不純物とが相互拡散してトランジスタ特性に変動を与えるのを防止するとともに、注入不純物の初期増速拡散によるトランジスタ特性の変動を抑制する観点から、好適には、ゲート電極の酸化を行った後、ソース領域およびドレイン領域を形成するためのイオン注入を行い、その後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行う。また、特に、pチャ

ネルMISトランジスタにおいて、ソース領域およびドレイン領域の接合リークの増加を抑制する観点から、好適には、pチャネルMISトランジスタのソース領域およびドレイン領域を形成するためのイオン注入を、イオン種としてホウ素を用い、エネルギー6keV以上8keV以下、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 以上 $3 \times 10^{15} \text{ cm}^{-2}$ の条件に設定して行う。

【0019】この発明の第5の発明は、n型またはp型の多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造のゲート電極を有するMISトランジスタを有する半導体装置の製造方法において、ゲート電極を形成する工程と、ゲート電極を形成した後、ゲート電極の側面およびゲート電極と基板との界面の酸化を行う工程と、酸化を行った後、ソース領域およびドレイン領域を形成するためのイオン注入を行う工程と、イオン注入を行った後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行う工程とを有することを特徴とするものである。

【0020】この発明の第5の発明において、ゲート電極の酸化の際に、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を防止する観点から、好適には、ゲート電極を形成した後、酸化を行う前に、窒素雰囲気中においてラビッドサーマルアニーリングを行うことによりゲート電極の少なくとも側面を窒化する。好適には、650℃以上750℃以下の温度でこのラビッドサーマルアニーリングを行う。また、この異常酸化をより有効に抑制する観点から、好適には、酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に上記酸化炉に窒素を20リットル/分以上30リットル/分以下の流量で供給する。また、ゲート電極の酸化の際に、ゲート電極を形成する多結晶シリコン膜から不純物が高融点金属シリサイド膜を拡散して外部に析出するのを防止する観点から、好適には、酸化温度を750℃以上800℃以下、酸化膜厚を2nm以上5nm以下、温度安定のための安定化ステップをほぼ0分とする。

【0021】この発明の第6の発明は、n型多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造の第1のゲート電極を有するnチャネルMISトランジスタと、p型多結晶シリコン膜上に高融点金属シリサイド膜が積層された構造の第2のゲート電極を有するpチャネルMISトランジスタとを有し、第1のゲート電極と第2のゲート電極とが互いに接続されている半導体装置の製造方法において、第1のゲート電極および第2のゲート電極を形成する工程と、第1のゲート電極および第2のゲート電極を形成した後、第1のゲート電極および第2のゲート電極の側面ならびに第1のゲート電極および第2のゲート電極と基板との界面の酸化を行う工程と、酸化を行った後、ソース領域およびドレイン領域を形成するためのイオン注入を行う工程と、イオン注入を

行った後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行う工程とを有することを特徴とするものである。

【0022】この発明の第6の発明において、ゲート電極の酸化の際に、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を防止する観点から、好適には、ゲート電極を形成した後、酸化を行う前に、窒素雰囲気中においてラビッドサーマルアニーリングを行うことによりゲート電極の少なくとも側面を窒化する。好適には、650℃以上750℃以下の温度でこのラビッドサーマルアニーリングを行う。また、この異常酸化をより有効に抑制する観点から、好適には、酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に酸化炉に窒素を20リットル/分以上30リットル/分以下の流量で供給する。また、酸化温度を750℃以上800℃以下、酸化膜厚を2nm以上5nm以下、温度安定のための安定化ステップをほぼ0分とする。ゲート電極の酸化の際に、nチャネルMISトランジスタのゲート電極を形成するn型多結晶シリコン膜中のn型不純物とpチャネルMISトランジスタのゲート電極を形成するp型多結晶シリコン膜中のp型不純物とが相互拡散してトランジスタ特性に変動を与えるのを防止する観点から、好適には、酸化温度を750℃以上800℃以下、酸化膜厚を2nm以上5nm以下、温度安定のための安定化ステップをほぼ0分とする。また、特に、pチャネルMISトランジスタにおいて、ソース領域およびドレイン領域の接合リークの増加を抑制する観点から、好適には、pチャネルMISトランジスタのソース領域およびドレイン領域を形成するためのイオン注入を、イオン種としてホウ素を用い、エネルギー6keV以上8keV以下、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 以上 $3 \times 10^{15} \text{ cm}^{-2}$ の条件に設定して行う。

【0023】この発明において、ゲート電極を形成する高融点金属シリサイド膜は、具体的には、タングステンシリサイド膜のほか、モリブデンシリサイド膜、タンタルシリサイド膜、チタンシリサイド膜などである。

【0024】上述のように構成されたこの発明によれば、ゲート電極の酸化を行う前に窒素雰囲気中でラビッドサーマルアニーリングを行うことによりゲート電極の少なくとも側面を窒化することにより、この窒化により形成された窒化膜が、その後にゲート電極の酸化を行うときに酸化防止膜として機能することにより、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を効果的に抑制することができる。

【0025】また、酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に上記酸化炉に窒素を20リットル/分以上30リットル/分以下の流量で供給することにより、ゲート電極の側面に窒化膜が形成され、この窒化膜が、その後にゲート電極の酸化を

行うときに酸化防止膜として機能することにより、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を効果的に抑制することができる。また、ゲート電極の酸化の工程において、酸化温度を750℃以上800℃以下、酸化膜厚を2nm以上5nm以下、温度安定のためのスタビライズステップをほぼ0分とすることにより、ゲート電極を構成する多結晶シリコン膜中の不純物の高融点金属シリサイド膜中への拡散を効果的に抑制することができる。

【0026】また、ソース領域およびドレイン領域を形成するためのイオン注入を行った後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行うことにより、ゲート電極を構成する多結晶シリコン膜中の不純物の高融点金属シリサイド膜中への拡散を効果的に抑制しつつ、注入不純物の初期増速拡散を抑制することができる。さらに、特に、pチャネルMISTランジスタのソース領域およびドレイン領域を形成するためのイオン注入を、イオン種としてホウ素を用い、エネルギー6keV以上8keV以下、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 以上 $3 \times 10^{15} \text{ cm}^{-2}$ の条件に設定して行うことにより、これらのソース領域およびドレイン領域の深さを最適化することができ、ソース領域およびドレイン領域の接合リークの増加を抑制することができる。

【0027】

【発明の実施の形態】以下、この発明の一実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0028】図1～図6はこの発明の一実施形態によるDRAM混載論理LSIの製造方法を示す。ただし、ここでは、DRAM混載論理LSIの論理回路部に着目して図示および説明を行い、DRAM部については図示および説明を省略する。

【0029】この一実施形態においては、まず、図1に示すように、あらかじめ例えばSTI (Shallow Trench Isolation) などによる素子分離領域1aが形成されたSi基板1中にイオン注入によりpウェル2およびnウェル3を形成する。pウェル2形成用のp型不純物としてはBやInなどを用い、nウェル3形成用のn型不純物としてはPやAsなどを用いる。次に、pウェル2およびnウェル3のそれぞれに表面濃度調整用の不純物のイオン注入を行う。このイオン注入は、これらのpウェル2およびnウェル3に形成するトランジスタのしきい値を決めるためのものである。

【0030】次に、図2に示すように、Si基板1の表面にゲート絶縁膜4を形成する。このゲート絶縁膜4としては、SiO₂膜や窒化酸化膜(SiON膜)などを用いる。このうちSiO₂膜はドライO₂またはバイロ

し、SiON膜はドライO₂、またはバイロ雰囲気中でSi基板1の熱酸化を行ってSiO₂膜を形成した後、N₂O、N₂OまたはNH₃ガス雰囲気中でアニールを行うことによりSiO₂膜中にNをドーピングして形成する。

【0031】次に、ゲート電極を次のようにして形成する。すなわち、図3に示すように、ゲート絶縁膜4の全面に多結晶Si膜5を形成した後、この多結晶Si膜5のうち、nチャネルMOSトランジスタのゲート電極形成部にはPを、pチャネルMOSトランジスタのゲート電極形成部にはBをイオン注入する。次に、例えば800℃以上の温度でアニールを行い、注入不純物の活性化を行う。次に、多結晶Si膜5の全面にスパッタリング法によりWSi_x膜6を形成する。次に、このWSi_x膜6上にSiO₂膜からなるオフセット絶縁膜7を形成する。次に、オフセット絶縁膜7上にリソグラフィーにより所定形状のレジストパターン(図示せず)を形成した後、このレジストパターンをマスクとして多結晶Si膜5、WSi_x膜6およびオフセット絶縁膜7を反応性イオンエッチング(RIE)法などのドライエッチング法によりエッチングする。このようにしてパターンニングされた多結晶Si膜5およびその上のWSi_x膜6によりゲート電極が構成される。ここで、図示は省略するが、実際には、nチャネルMOSトランジスタのゲート電極とpチャネルMOSトランジスタのゲート電極とは相互につながった状態で形成されている。このエッチング後の状態では、多結晶Si膜5およびWSi_x膜6の側面が剥き出しになっている。

【0032】ここで、ゲート電極の最上層にオフセット絶縁膜7を形成するのは、DRAM混載論理LSIプロセスにおいては、DRAM部において、ビットコンタクトやノードコンタクトをセルフアラインコンタクト(SAC)で形成する必要があるためである。

【0033】この後、従来のプロセスではスクリーン酸化に進むわけであるが、この一実施形態においては、その前に、このスクリーン酸化時のWSi_x膜6の異常酸化を抑制する目的で、N₂雰囲気中でラビッドサーマルアニーリング(Rapid Thermal Annealing, RTA)を行う。このRTAの具体的な処理シーケンスの一例を図7に示す。図7に示すように、室温から75℃/秒の速さで550℃まで昇温し、次に50℃/秒の速さで600℃まで昇温し、さらに25℃/秒の速さで700℃まで昇温する。この温度で30秒間保持してRTA処理を行った後、400℃に降温する。これらの処理の間に供給するN₂流量は、19L/分とした。ただし、この例では、700℃で30秒RTAを行うが、一般には、650～750℃で10～60秒RTAを行うことにより、スクリーン酸化時のWSi_x膜6の異常酸化を抑制することができる。このRTAの温度がより低く、あるいは時間が短すぎる条件では、WSi_x膜6の異常酸化を十

分に抑制することができず、逆に R T A の温度が高すぎ
る場合には不純物の再分布などによるトランジスタ特性
への影響が出てしまう。

【0034】次に、図4に示すように、スクリーン酸化
を行うことにより、ゲート電極の側面および Si 基板 1
と多結晶 Si 膜 5 との界面を酸化して Si O₂ 膜 8 を形
成する。この際、この Si O₂ 膜 8 においては、Si 基
板 1 と多結晶 Si 膜 5 との界面にゲートバースピーク 8
a が発生する。このゲートバースピーク 8 a によりゲ
ート電極の端部と Si 基板 1 との間隔が大きくなること
により、ゲート電極の端部での電界を緩和し、これにより
接合リークを緩和したり、ゲート電極の側面が覆われる
ことにより、その後に行われる塩酸過水によるタングス
テンの溶出を抑制し、金属不純物が基板に拡散すること
を抑制することができる。また、上述のようにスクリー
ン酸化を行う前にあらかじめ N₂ 雰囲気中での R T A 処
理を行っていることにより、このスクリーン酸化時に W
Si_x 膜 6 の異常酸化が抑制される。

【0035】一方、このスクリーン酸化の際には、この
スクリーン酸化自体の熱処理により、論理回路部のデュ
アルゲート CMOS トランジスタのゲート電極中の不純
物が相互拡散し、トランジスタ特性が変動してしまうと
いう問題があるが、この問題は、次のようにして解決す
ることができる。すなわち、この問題の解決のため
には、このスクリーン酸化時のサーマルバジェット (ther
mal budget) を低減することが有効である。しかしなが
ら、スクリーン酸化自体の温度を下げると、酸化速度が
低下し、一定の膜厚 (2~5 nm) の酸化膜を成長させ
るのに必要な時間が長くなったり、低温状態 (500~
700℃) で WSi_x 膜 6 が酸化雰囲気さらされること
とで WSi_x 膜 6 の異常酸化が生じてしまうという二つ
の問題が発生する。このような理由により、スクリー
ン酸化温度は 700~800℃ とするのが最適である。こ
のスクリーン酸化の具体的な処理シーケンスの一例を図
8 に示す。さらに、thermal budget の低減として、酸化
前の安定化ステップを 0 分に設定し、これにより相互拡
散を抑制する。

【0036】次に、図5に示すように、n チャネル MO
S トランジスタ形成部において、ゲート電極をマスクと
して p ウェル 2 中に例えば P や A s などの n 型不純物を
低ドーズでイオン注入することにより、n⁻ 型拡散層
(エクステンション (extention) 拡散層) 9 をゲート電
極に対して自己整合的に形成し、また、p チャネル MO
S トランジスタ形成部において、ゲート電極をマスクと
して n ウェル 3 中に例えば B などの p 型不純物を低ド
ーズでイオン注入することにより、p⁻ 型の拡散層 (エク
ステンション拡散層) 10 をゲート電極に対して自己整
合的に形成する。この後、注入不純物の活性化およびイ
オン注入により発生した点欠陥を消滅させる目的で、N₂
雰囲気中で R T A を行う。これは、イオン注入部に点

欠陥が残ったままだと、初期増速拡散 (Transient Enha
nced Diffusion, T E D) により注入不純物の再分布が
生じ、所望のトランジスタを形成することができなくな
るからである。

【0037】また、本発明者は、この R T A は、n チャ
ネル MOS トランジスタのゲート電極と p チャネル MO
S トランジスタのゲート電極との間の不純物の相互拡散
にも密接に関係していることを見出し、R T A 温度が
高いほど不純物の相互拡散によるトランジスタ特性の変
動が大きいことを見出した。具体的には、R T A 温度
を 1000℃ から 950℃ まで低温化することにより、
トランジスタ特性の変動を抑えることができる。また、
950℃ より低い温度では、T E D の影響が懸念される
ため、925~975℃ の温度範囲が、相互拡散を抑制
しつつ、T E D も抑制する最適温度である。

【0038】次に、図6に示すように、n チャネル MO
S トランジスタのゲート電極および p チャネル MOS ト
ランジスタのゲート電極の側壁にサイドウォール 11 を
形成する。このサイドウォール 11 は、具体的には、例
えば C V D 法により全面に Si₃N₄ 膜や Si O₂ 膜を
成膜した後、これを R I E 法などによりエッチバックす
ることにより形成する。次に、n チャネル MOS トラン
ジスタ形成部において、ゲート電極およびサイドウォ
ール 11 をマスクとして p ウェル 2 中に例えば P や A s な
どの n 型不純物を高ドーズでイオン注入することによ
り、n⁺ 型のソース領域 12 およびドレイン領域 13 を
ゲート電極に対して自己整合的に形成し、また、p チャ
ネル MOS トランジスタ形成部において、ゲート電極お
よびサイドウォール 11 をマスクとして n ウェル 3 中に
例えば B などの p 型不純物を低ドーズでイオン注入す
ることにより、p⁺ 型のソース領域 14 およびドレイン領
域 15 をゲート電極に対して自己整合的に形成する。こ
こで、ソース領域 12 およびドレイン領域 13 は、サイ
ドウォール 11 の下方にそれぞれ n⁻ 型拡散層 9 からな
る n⁻ 型低不純物濃度部 12 a、13 a を有する。ま
た、ソース領域 14 およびドレイン領域 15 は、サイ
ドウォール 11 の下方にそれぞれ p⁻ 型拡散層 10 からな
る p⁻ 型低不純物濃度部 14 a、15 a を有する。

【0039】次に、注入不純物の活性化およびイオン注
入により発生した点欠陥を消滅させる目的で、再び、N₂
雰囲気中で R T A を行う。この R T A の温度も、n チャ
ネル MOS トランジスタのゲート電極と p チャネル MO
S トランジスタのゲート電極との間の不純物の相互拡
散に密接に関係しており、これも、R T A 温度が低温は
ど相互拡散は小さくなる。ソース領域およびドレイン領
域形成後の R T A の低温化の影響は、エクステンション
拡散層形成時の問題に加えて、特に p チャネル MOS ト
ランジスタにおいて、ソース領域 14 およびドレイン領
域 15 が浅くなり、これらとコンタクトする電極により
接合リークの増加を引き起こすという問題がある。した

がって、この悪影響を防止するためには、pチャネルMOSトランジスタのソース領域14およびドレイン領域15の深さを最適化する必要がある。具体的には、ソース領域14およびドレイン領域15を形成するためのイオン注入の条件を、 B^+ 、エネルギー6~8keV、ドーズ量 $2 \times 10^{15} \sim 3 \times 10^{15} \text{ cm}^{-2}$ の条件に設定することにより、これらのソース領域14およびドレイン領域15の深さを最適化することができ、接合リークの増加を効果的に抑制することができる。

【0040】このように、デュアルゲートCMOSトランジスタのゲート電極間の不純物相互拡散によるトランジスタ特性の変動を抑制し、TEDによるトランジスタ特性の変動を抑制することを両立し、さらにpチャネルMOSトランジスタのソース領域14およびドレイン領域15の接合リークの増加を抑制するためには、最適な条件の組み合わせが必要である。

【0041】以上により、LDD (Lightly Doped Drain) 構造のnチャネルMOSトランジスタおよびpチャネルMOSトランジスタからなるデュアルゲートCMOSトランジスタが形成される。このデュアルゲートCMOSトランジスタを複数用いて論理回路が形成される。

【0042】この一実施形態によれば、次のような種々の利点を得ることができる。すなわち、まず、DRAM混載論理LSIのプロセスにおいて、デュアルゲートCMOSトランジスタのWSi_x/多結晶Si構造のゲート電極を形成した後このゲート電極のスクリーン酸化を行っているので、DRAMの接合リークが減少し、リテンション特性の向上を図ることができる。また、このスクリーン酸化を行うに際しては、ゲート電極をドライエッチング加工により形成した後、窒素雰囲気中において650~750℃の温度でRTAを行っていることにより、その後のスクリーン酸化工程でのWSi_x膜6の異常酸化を抑制することができる。また、このスクリーン酸化においては、酸化炉への入炉時から昇温時までに酸化炉に供給するN₂流量を20~30L/分としていることにより、WSi_x膜6の異常酸化をより効果的に抑制することができ、また、酸化温度を750~800℃、酸化膜厚2~5nm、温度安定のための安定化ステップを0分にしていることにより、デュアルゲートCMOSトランジスタにおけるnチャネルMOSトランジスタのゲート電極とpチャネルMOSトランジスタのゲート電極との間での不純物の相互拡散を抑制することができる。さらに、スクリーン酸化を行った後のソース領域およびドレイン領域用エクステンション拡散層形成後ならびにソース領域およびドレイン領域形成後に、それぞれ、925~975℃で5~15秒、N₂雰囲気中でRTAを行っていることにより、デュアルゲートCMOSトランジスタにおけるnチャネルMOSトランジスタのゲート電極とpチャネルMOSトランジスタのゲート電極との間での不純物の相互拡散を抑制しつつ、TED

によるトランジスタ特性の変動を抑制することができる。さらにまた、ソース領域およびドレイン領域形成後のN₂雰囲気中におけるRTAの条件を、925~975℃で5~15秒の範囲に設定し、pチャネルMOSトランジスタのソース領域およびドレイン領域形成用のイオン注入を、 B^+ 、エネルギー6~8keV、ドーズ量 $2 \times 10^{15} \sim 3 \times 10^{15} \text{ cm}^{-2}$ の条件に設定することにより、デュアルゲートCMOSトランジスタにおけるnチャネルMOSトランジスタのゲート電極とpチャネルMOSトランジスタのゲート電極との間での不純物の相互拡散の抑制と、TEDによるトランジスタ特性の変動の抑制とを両立し、pチャネルMOSトランジスタのソース領域14およびドレイン領域15の接合リークの増加を抑制することができる。以上により、高性能のDRAM混載論理LSIを実現することができる。

【0043】以上、この発明の一実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0044】例えば、上述の一実施形態において挙げた数値、構造、プロセスなどはあくまでも例に過ぎず、必要に応じて、これらと異なる数値、構造、プロセスなどを用いてもよい。

【0045】

【発明の効果】以上説明したように、この発明によれば、ゲート電極の酸化を行う前に窒素雰囲気中でラビッドサーマルアニーリングを行うことによりゲート電極の少なくとも側面を窒化するすることにより、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を効果的に抑制することができる。

【0046】また、酸化を行う工程において、酸化炉への基板の入炉時から酸化温度への昇温時に上記酸化炉に窒素を20リットル/分以上30リットル/分以下の流量で供給することにより、ゲート電極を形成する高融点金属シリサイド膜の異常酸化を効果的に抑制することができる。また、ゲート電極の酸化の工程において、酸化温度を750℃以上800℃以下、酸化膜厚を2nm以上5nm以下、温度安定のためのスタビライズステップをほぼ0分とすることにより、ゲート電極を構成する多結晶シリコン膜中の不純物の高融点金属シリサイド膜中への拡散を効果的に抑制することができ、あるいは、デュアルゲートトランジスタにおけるnチャネルMISトランジスタのゲート電極とpチャネルMISトランジスタのゲート電極との間の不純物の相互拡散を効果的に抑制することができる。

【0047】また、ソース領域およびドレイン領域を形成するためのイオン注入を行った後、不活性ガス雰囲気中において925℃以上975℃以下の温度で5秒以上15秒以下の時間ラビッドサーマルアニーリングを行うことにより、ゲート電極を構成する多結晶シリコン膜中

21

の不純物の高融点金属シリサイド膜中への拡散を効果的に抑制しつつ、あるいは、デュアルゲートトランジスタにおけるnチャネルMISトランジスタのゲート電極とpチャネルMISトランジスタのゲート電極との間の不純物の相互拡散を効果的に抑制しつつ、注入不純物の初期増速拡散を抑制することができる。

【0048】さらに、特に、pチャネルMISトランジスタのソース領域およびドレイン領域を形成するためのイオン注入を、イオン種としてホウ素を用い、エネルギー6keV以上8keV以下、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ 以上 $3 \times 10^{15} \text{ cm}^{-2}$ の条件に設定して行うことにより、ソース領域およびドレイン領域の接合リークの増加を抑制することができる。

【図面の簡単な説明】

【図1】この発明の一実施形態によるDRAM混載論理LSIの製造方法を示す断面図である。

【図2】この発明の一実施形態によるDRAM混載論理LSIの製造方法を示す断面図である。

【図3】この発明の一実施形態によるDRAM混載論理LSIの製造方法を示す断面図である。

【図4】この発明の一実施形態によるDRAM混載論理*

22

*LSIの製造方法を示す断面図である。

【図5】この発明の一実施形態によるDRAM混載論理LSIの製造方法を示す断面図である。

【図6】この発明の一実施形態によるDRAM混載論理LSIの製造方法を示す断面図である。

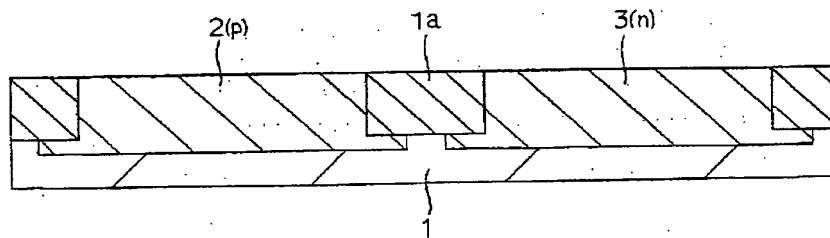
【図7】この発明の一実施形態によるDRAM混載論理LSIの製造方法においてスクリーン酸化前に行う N_2 雰囲気中でのRTAの処理シーケンスの例を示す略線図である。

10 【図8】この発明の一実施形態によるDRAM混載論理LSIの製造方法においてスクリーン酸化時に基板を酸化炉に入炉する際の酸化炉への N_2 の流入条件の例を示す略線図である。

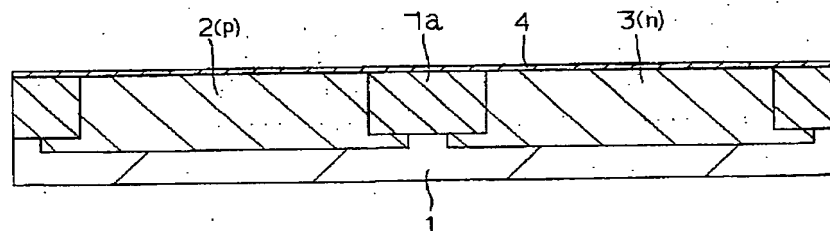
【符号の説明】

1・・・Si基板、4・・・ゲート絶縁膜、5・・・多結晶Si膜、6・・・ WSi_x 膜、7・・・オフセット絶縁膜、8・・・ SiO_2 膜、9・・・ n^- 型拡散層、10・・・ p^- 型拡散層、11・・・サイドウォール、12、14・・・ソース領域、13、15・・・ドレイン領域

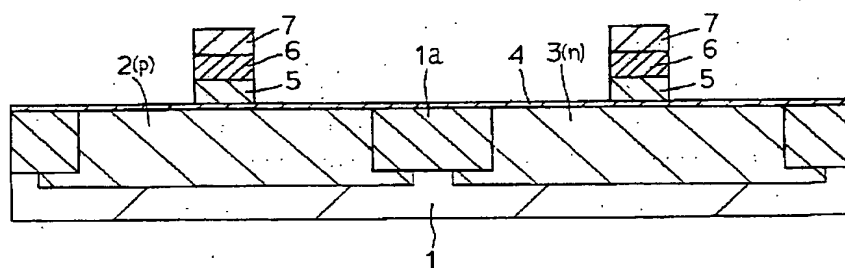
【図1】



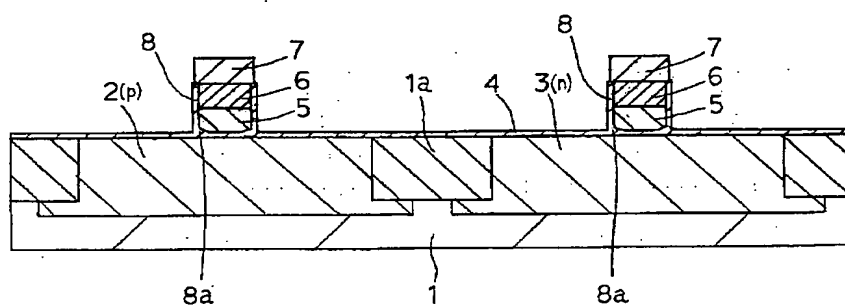
【図2】



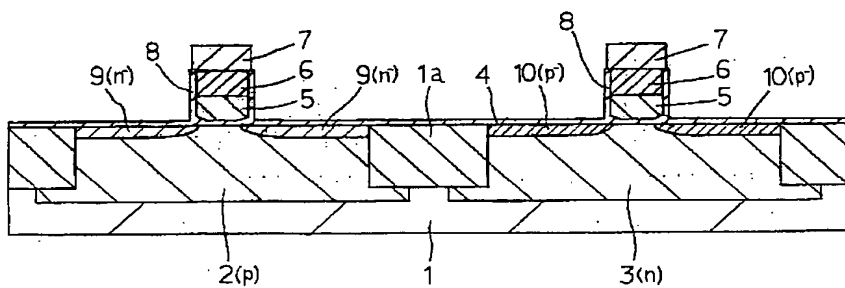
【図3】



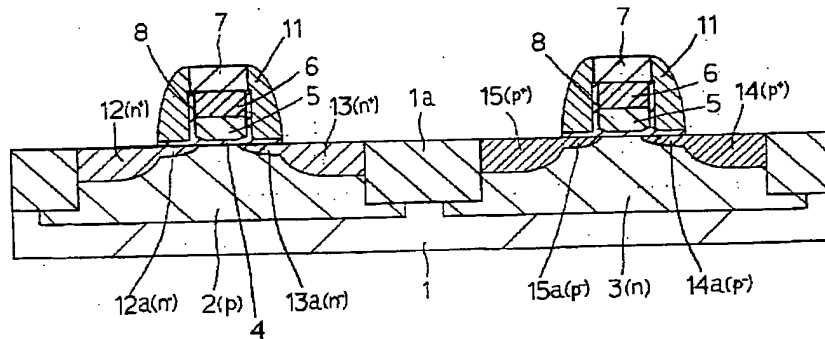
【図4】



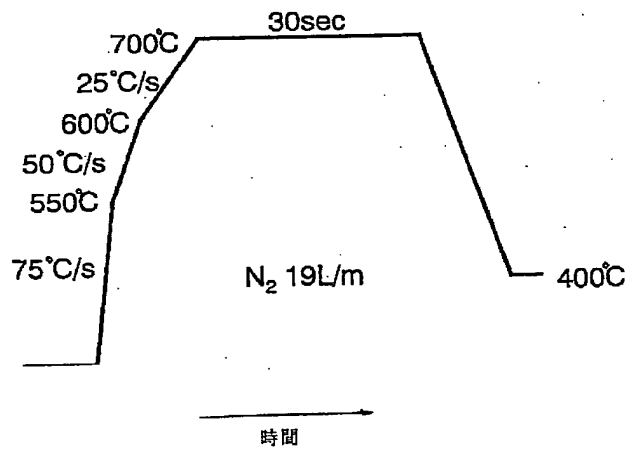
【図5】



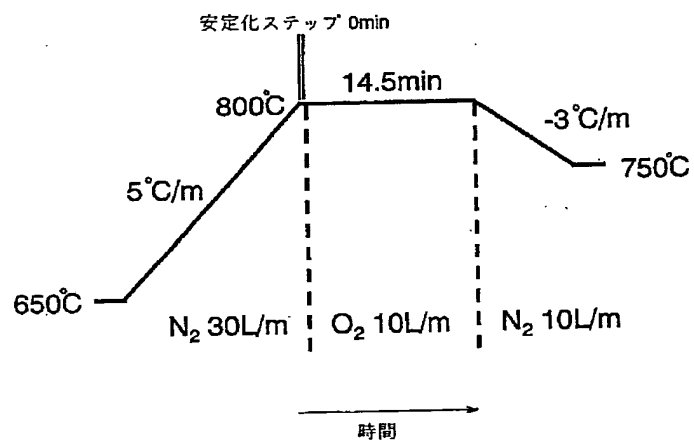
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.	識別記号	F I	テーマコード (参考)
H 0 1 L 27/092		H 0 1 L 27/08	3 2 1 D
27/10	4 6 1	29/62	G
29/43			
(72)発明者 塚本 雅則		F ターム (参考)	4M104 AA01 BB01 CC05 DD79 DD80
東京都品川区北品川6丁目7番35号 ソニ			DD86 DD91 EE05 EE09 FF14
ー株式会社内			GG10 GG14 HH20
(72)発明者 中村 学			5F040 DA00 DB03 EA08 EA09 EC01
神奈川県川崎市中原区小田中4丁目1番1			EC07 EC13 ED03 EF02 EK05
号 富士通株式会社内			FA00 FA05 FA07 FA11 FA16
(72)発明者 佐久間 遼			FB02 FB04 FC00
神奈川県川崎市中原区小田中4丁目1番1			5F048 AA07 AB01 AB03 AC01 AC03
号 富士通株式会社内			BB06 BB07 BB08 BB09 BB11
			BC06 BE03 BF16 BG14 DA18
			DA25 DA27
			5F083 AD00 GA25 JA02 JA05 JA35
			JA39 JA53 MA02 MA17 MA20
			NA01 NA03 PR12 PR34 PR36
			ZA05 ZA12

特許庁 特許第 2002-134745 号

THIS PAGE BLANK (USPTO)